

DIO

NONVOLATILE SEMICONDUCTOR MEMORY

Patent Number: JP2110979
Publication date: 1990-04-24
Inventor(s): INAMI MICHIHARU; others: 04
Applicant(s): TOSHIBA CORP; others: 01
Requested Patent: ☐ JP2110979
Application Number: JP19880263165 19881019
Priority Number(s):
IPC Classification: H01L29/788 ; H01L27/115 ; H01L29/792
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a semiconductor memory provided with an electrically erasable EEPROM cell which is small in size, capable of being highly integrated, and possessed of a gate electrode of a three-layered structure by a method wherein a source region and a drain region of cell transistors adjacent to each other in a lengthwise direction of a channel are formed in common with each other and other processes are performed.

CONSTITUTION: In a nonvolatile semiconductor memory provided with a cell array composed of EEPROM cells which are arranged in a matrix and provided with gate electrodes 8, 9, and 5 of a three-layered structure, a floating gate transistor forming a channel region through the floating gate electrode 8, and a control gate transistor forming a channel region through the control gate electrode 5, a source region 3 and a drain region 4 of the memory cell are provided in parallel with each other, the source region 3 and the drain region 4 of the adjacent cells in a channel lengthwise direction of a channel region are formed in common, and the erasure gate electrode 9 and the control gate electrode 5 are provided in parallel with each other along a direction perpendicular to a broadwise direction of a channel region between the source region 3 and the drain region 4.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平2-110979

⑪ Int. Cl.³
H 01 L 29/788

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月24日

7514-5F
8624-5FH 01 L 29/78
27/103 7 1
4 3 4 ※

審査請求 有 請求項の数 2 (全13頁)

⑭ 発明の名称 不揮発性半導体メモリ

⑮ 特 願 昭63-263165

⑯ 出 願 昭63(1988)10月19日

⑰ 発 明 者 稲 見 道 治 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

⑰ 発 明 者 浅 野 正 通 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑰ 発 明 者 宮 川 正 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑰ 出 願 人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑰ 代 理 人 弁理士 鈴江 武彦 外2名
最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体メモリ

2. 特許請求の範囲

(1) 半導体基板内のソース領域およびドレイン領域と半導体基板上の三層構造のゲート電極とを有し、浮遊ゲート電極によってチャネル領域を形成する浮遊ゲートトランジスタと、制御ゲート電極によってチャネル領域を形成する制御ゲートトランジスタとを有する電氣的消去・書き込み可能な不揮発性半導体メモリセルが行列状に配列されてなるセルアレイを有する不揮発性半導体メモリにおいて、

前記メモリセルのソース領域およびドレイン領域は互いに平行に設けられ、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されており、消去ゲート電極および制御ゲート電極は、互いに平行に設けられ、かつ、前記ソース領域およびドレイン領域間のチャネル領域の幅方向に直交

する方向に設けられていることを特徴とする不揮発性半導体メモリ。

(2) 請求項1記載の不揮発性半導体メモリにおいて、

前記セルアレイは、同一行の隣り合うメモリセルのソース領域およびドレイン領域が共通に形成され、この共通のソース・ドレイン領域が、同一列の各メモリセルに共通に列方向に形成されており、同一行の各メモリセルの消去ゲート電極が共通に行方向に形成されており、同一行の各メモリセルの制御ゲート電極が共通に行方向に形成されていることを特徴とする不揮発性半導体メモリ。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、不揮発性半導体メモリに係り、特に三層構造のゲート電極を有する電氣的消去・書き込み可能な読出し専用メモリ(以下、EEPROMと略記する)におけるセルトランジスタの構造およびセルアレイに関する。

(従来の技術)

電氣的消去が可能な従来のEEPROMセルには、制御ゲート電極と浮遊ゲート電極との二層ゲート電極構造を有するものと、さらに、消去ゲート電極を有する三層ゲート電極構造を有するものとがある。後者のEEPROMセルは、消去に際して、消去ゲート電極に高電圧を印加するものであり、第1ゲート酸化膜の膜厚を薄くする必要がなく、EPROMセル並みの書き込み特性が十分に得られる。

このような三層ゲート電極構造を有するEEPROMセルの1つとして、浮遊ゲート電極によってチャネル領域を形成する制御ゲートトランジスタと、制御ゲート電極によってチャネル領域を形成する浮遊ゲートトランジスタ(選択トランジスタ)とを有するEEPROMセル(セルトランジスタ)が考えられる。このようなセルトランジスタの平面パターンを第6図(a)に示しており、チャネル領域の幅方向に沿うB-B線およびチャネル領域の長さ方向に沿うC-C線の断面構造を

電極65と消去ゲート電極66との間のトンネル絶縁膜、70は制御ゲート電極67と浮遊ゲート電極65との間のゲート絶縁膜であり、高耐圧性を有するように、例えば酸化膜と窒化膜とが二層以上積層された複合膜、または、酸化膜のみからなる。71は制御ゲート電極67と消去ゲート電極66との間の第1ゲート絶縁膜であり、高耐圧性を有するように、例えば酸化膜と窒化膜とが二層以上積層された複合膜、または、酸化膜のみからなる。72は制御ゲート電極67の一部とその下方のチャネル領域との間のゲート絶縁膜である。73は層間絶縁膜、74はアルミニウム配線(データ線)、75は配線のコンタクト部である。

次に、上記EEPROMセルの各動作モードでの基本動作を、第7図に示すメモリセルの等価回路および第8図を参照しながら説明する。消去モードの時には、ドレイン電位 V_D 、ソース電位 V_S 、および制御ゲート電位 V_{CG} を接地電位(0V)にして消去ゲート電位 V_{EG} に高電圧(例えば20V)を印加すると、ファウラー・ノルト

それぞれ第6図(b)および第6図(c)に示している。

即ち、このセルトランジスタにおいては、半導体基板1内に局所酸化法によって素子分離用のフィールド酸化膜2が形成されており、素子領域内に不純物拡散層からなるソース領域3およびドレイン領域4が形成されており、半導体基板1上に三層構造のゲート電極を有しており、この三層構造のゲート電極は、第1層目が浮遊ゲート電極(例えば幅が $1.5\mu m$ 、長さが $6.5\mu m$)65であり、第2層目が消去ゲート電極66であり、第3層目が制御ゲート電極67であり、消去ゲート電極66は浮遊ゲート電極65に対してチャネル幅(例えば $2.0\mu m$)方向にずれて一部(例えば $1\mu m$)が対向するように形成されており、制御ゲート電極67は消去ゲート電極66および浮遊ゲート電極65にそれぞれ対向するように形成されている。

68は浮遊ゲート電極65とその下方のチャネル領域との間のゲート絶縁膜、69は浮遊ゲート

ハイムのトンネル効果により、浮遊ゲート電極65中の電子が消去ゲート電極66に電界放出され、浮遊ゲート電極65は正に帯電し、制御ゲート電極67から見た閾値電圧が低下する。この状態をデータ"1"とする。

書き込みモードの時には、ドレイン電位 V_D に高電圧(例えば10V)にし、ソース電位 V_S を接地電位にし、制御ゲート電位 V_{CG} に高電圧(例えば12/5V)を印加すると、ドレイン近傍でホットエレクトロン効果が生じ、インパクトアイオナイゼーションにより発生した電子が浮遊ゲート電極65に注入し、浮遊ゲート電極65は負に帯電し、制御ゲート電極67から見た閾値電圧が上昇する。この状態をデータ"0"とする。

一方、ドレイン電位 V_D を接地電位にした場合には、ホットエレクトロン効果が起きず、浮遊ゲート電極への電子の注入はなく、メモリセルはデータ"1"の状態を保つ。このように、ドレインへの高電圧印加の有無により書き込みの制御が可能になる。

行
路
の
リ
セ
ー
選
択
C
L
は
デ
ー
の
フ
メ
モ
ー
イ
ン
即
て
い
号
線
よ
び
ー
ト
れ
、
て
い
号
線

ま
極
と
ア
レ
た
場
ー
ダ
な
る
グ
と
ブ
ロ
あ
っ

は、
ム
配
れ、
く
な
化
が
電
氣
の
障
害
を
ま
す
セル

また、第9図は、第6図のEEPROMセルを行列状に配列したセルアレイおよびその周辺回路の一部を示している。ここで、90…はメモリセル、WL1～WLnはワード線、91は行デコーダ、DL1～DLnはデータ線、92…は列選択トランジスタ、93は列デコーダ、CL1～CLnはカラム選択線、94はデータバス、95はデータ入力回路、96はセンスアンプ、97はデータ出力回路である。そして、ワード線2本毎のブロックに分けられており、このブロック内のメモリセルの消去ゲート電極が共通に接続されている。

即ち、ワード線WL1およびWL2に接続されているメモリセルの消去ゲート電極66が消去信号端EG1に共通に接続され、ワード線WL3およびWL4に接続されているメモリセルの消去ゲート電極66が消去信号端EG2に共通に接続され、ワード線WLm-1およびWLmに接続されているメモリセルの消去ゲート電極66が消去信号端EGkに共通に接続されている。消去信号端

EG1～EGkは、消去ブロック指定アドレス信号をデコードする消去用デコーダ98により選択されて消去信号が印加される。例えば消去信号端ER1が選択されると、昇圧回路（図示せず）より高電圧（例えば20V）が供給され、この消去信号端ER1に消去ゲート電極66が接続されているブロックのメモリセルが消去されるが、その他の非選択のブロックのメモリセルは消去されない。

しかし、上記したような第6図に示したEEPROMセルを行列状に配列したセルアレイでは、ドレインのコンタクトは2ビットに1つ必要になり、ソースのコンタクトも数ビット毎にとる必要がある、さらに、ドレインに接続すべきデータ線も各列に配置し、ソース線も各列に配置しなければならない。このため、上記EEPROMセルを微細化する場合、コンタクト部とアルミニウム配線との加工レベル（配線のピッチとスペース）によりセルサイズが制限され、メモリの大容量化が困難であるという欠点がある。

また、上記EEPROMセルは、消去ゲート電極と制御ゲート電極とが交差しているの、セルアレイでメモリセルの分割消去を行うことを考えた場合、第4図に示したように専用の消去用デコーダを設ける必要があり、大容量化の際の障害となる。さらに、仮に、消去用デコーダと列デコーダとを共通に用いても、分割消去を行う時に分割ブロックのサイズと数が制限されるという問題があった。

（発明が解決しようとする課題）

本発明は、上記したようなEEPROMセルは、微細化する場合、コンタクト部とアルミニウム配線との加工レベルによりセルサイズが制限され、メモリの大容量化が困難である点を解決すべく、セルサイズが小さくて高集積化が可能となり、三層構造のゲート電極を有して電気的消去が可能なEEPROMセルを有する不揮発性半導体メモリを提供することを目的とする。

また、本発明は、上記したようなEEPROMセルのアレイでメモリセルの分割消去を行うこと

を考えた場合、消去ゲート電極と制御ゲート電極とが交差していることにより、専用の消去用デコーダを設ける必要があり、大容量化の際の障害となる点を解決すべく、セルサイズが小さくて高集積化が可能となり、三層構造のゲート電極を有して電気的消去が可能なEEPROMセルを有する不揮発性半導体メモリを提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

第1番目の発明は、半導体基板内のソース領域およびドレイン領域と半導体基板上の三層構造のゲート電極とを有し、浮遊ゲート電極によってチャネル領域を形成する浮遊ゲートトランジスタと、制御ゲート電極によってチャネル領域を形成する制御ゲートトランジスタとを有する電気的消去・再書き込み可能な不揮発性半導体メモリセルが行列状に配列されてなるセルアレイを有する不揮発性半導体メモリにおいて、上記メモリセルのソース領域およびドレイン領域は互いに平行に設け

られ、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されており、消去ゲート電極および制御ゲート電極は、互いに平行に設けられ、かつ、前記ソース領域およびドレイン領域間のチャネル領域の幅方向に直交する方向に設けられていることを特徴とする。

第2番目の発明は、第1番目の発明の不揮発性半導体メモリにおいて、前記セルアレイは、同一行の隣り合うメモリセルのソース領域およびドレイン領域が共通に形成され、この共通のソース・ドレイン領域が、同一列の各メモリセルに共通に列方向に形成されており、同一行の各メモリセルの消去ゲート電極が共通に行方向に形成されており、同一行の各メモリセルの制御ゲート電極が共通に行方向に形成されていることを特徴とする。

(作用)

第1番目の発明によれば、EEPROMセルは、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域およびドレイン領

域が共通に形成されているので、各セルごとにドレインのコンタクトを設ける必要がなく、セルのピッチを縮小でき、セルサイズが小さくて高集積化が可能となる。また、ソース領域とドレイン領域とが共通にできることによりソース・ドレインのコンタクトが共通にでき、ソース領域およびドレイン領域と上層配線とのコンタクト部の数を減らすことができるので、高集積化が可能である。

また、消去ゲート電極および制御ゲート電極は、互いに平行に設けられ、かつ、前記ソース領域およびドレイン領域間のチャネル領域の幅方向に直交する方向に設けられているので、セルを微細化する場合、ソース領域およびドレイン領域のコンタクト部とデータ線用のアルミニウム配線との加工レベルによってセルサイズが制限されることがなくなり、メモリの大容量化が可能となる。

第2番目の発明によれば、行方向に隣り合うセルのソース領域およびドレイン領域を共有できるので、セルの行方向の微細化が可能であると共にソース・ドレイン領域に対する上層配線のコンタ

クト部が少なくなる。また、上記ソース領域およびドレイン領域が同一列の各メモリセルに共通に列方向に形成されているので、ソース・ドレイン領域に対する上層配線のコンタクト部が一層少なくなる。

また、同一行の各メモリセルの消去ゲート電極が共通に行方向に形成されると共に、これに平行に同一行の各メモリセルの制御ゲート電極が共通に行方向に形成されているので、分割消去を行う場合、消去ブロック指定アドレス信号を行アドレス信号と共用することが可能になり、分割消去用デコーダを行デコーダと共有することが可能になり、大容量の分割消去に通じている。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図(a)は、EEPROMセルのアレイを有する半導体集積回路、例えばEEPROM集積回路におけるセルトランジスタの平面パターンを示しており、列線(データ線)方向に沿うB-B

線および行線(ワード線)方向に沿うC-C線、D-D線の断面構造をそれぞれ第1図(b)乃至第1図(d)に示している。

即ち、このEEPROM集積回路は、半導体基板1内に設けられた素子分離領域(例えば局所酸化法によって形成されたフィールド酸化膜)2により素子分離されたソース領域3およびドレイン4領域が形成されているセルトランジスタが行列状に配列されてなるセルアレイを有している。上記セルトランジスタは、半導体基板1上に三層構造の例えばポリシリコンゲート電極を有しており、この三層構造のゲート電極は、第3層目のゲート電極5がそれぞれ高耐圧性を有するゲート絶縁膜6、7を介して第1層目のゲート電極8および第2層目のゲート電極9に対向して設けられている。

そして、第1層目のゲート電極は浮遊ゲート電極8であり、第2層目のゲート電極は消去ゲート電極9として用いられ、この消去ゲート電極9は浮遊ゲート電極8に対して例えば幅方向にずれて一部が対向するように形成されており、第3層目

のゲート電極は制御ゲート電極5として用いられている。

ここで、高耐圧性を有するゲート絶縁膜6、7は、例えば酸化膜と窒化膜とが酸化膜/窒化膜/酸化膜のように二層以上積層された複合膜からなり、10は半導体基板表面と浮遊ゲート電極8との間のゲート絶縁膜、11は浮遊ゲート電極8と消去ゲート電極9との間のトンネル絶縁膜である。

また、上記セルトランジスタは、浮遊ゲート電極8によってチャネル領域を形成する浮遊ゲートトランジスタと、制御ゲート電極5によってチャネル領域を形成する制御ゲートトランジスタ（選択トランジスタ）とを有する。即ち、浮遊ゲート電極8は、前記チャネル領域のチャネル長より短く、このチャネル領域上のソース領域側付近に浮遊ゲート電極が存在しないオフセット部を有しており、このオフセット部で制御ゲート電極8がゲート絶縁膜（例えば酸化膜/窒化膜/酸化膜の複合膜からなる）12を介して前記チャネル領域の一部に対向するように設けられて選択トランジスタ

が形成されている。

さらに、上記メモリセルのソース領域3およびドレイン領域4は互いに平行に設けられ、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域3およびドレイン領域4が共通に形成されており、消去ゲート電極9および制御ゲート電極5は、互いに平行に設けられ、かつ、前記チャネル領域の幅方向に直交する方向に設けられている。また、消去ゲート電極9とソース領域3およびドレイン領域4との間にも高耐圧用絶縁膜13が形成されている。

上記したようなEEPROMセルの基本動作は、前述した第6図のセルと同様であり、等価回路も第7図と同様である。そして、上記EEPROMセルは、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域3およびドレイン領域4が共通に形成されているので、セルのピッチを縮小してセルサイズを小さくできる。また、ソース領域3およびドレイン領域4と上層配線（データ線）とのコンタクト部の数を減らすこ

とができるので、高集積化が可能である。

また、消去ゲート電極9および制御ゲート電極5は、互いに平行に設けられ、かつ、前記チャネル領域の幅方向に直交する方向に設けられているので、セルを微細化する場合、ソース領域3およびドレイン領域4のコンタクト部とデータ線用のアルミニウム配線との加工レベルによってセルサイズが制限されることがなくなり、メモリの大容量化が可能となる。

第2図は、第1図のEEPROMセルを行列状に配列したセルアレイおよびその周辺回路の一部を示している。ここで、20-1-1～20-4-3はメモリセル、WL1～WLnはワード線、21は主行デコード、22および23は書込み/読出し/消去に共通の行デコード、EL1、EL2は消去線、DL1～DL4はデータ線、24は列選択ゲートを含む列デコードである。

このEEPROMセルでは、同一行の隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されており、共通に形成されたソ

ース・ドレイン領域が同一列の各メモリセルに共通に列方向に形成されている。そして、本例では、ワード線2本毎のブロックに分けられており、このブロック内のメモリセルの消去ゲート電極9が共通に接続されている。

即ち、ワード線WL1およびWL2に接続されているメモリセルの消去ゲート電極9が行デコード22の消去信号端EG1に共通に接続され、ワード線WL3およびWL4に接続されているメモリセルの消去ゲート電極9が行デコード23の消去信号端EG2に共通に接続されている。また、消去ゲート電極9に平行に同一行の各メモリセルの制御ゲート電極5が共通に行方向に形成されてワード線（制御ゲート線）となっている。

なお、前記書込み/読出し/消去に共通の行デコード22および23には、個別に対応して、あるいは共通に昇圧回路（図示せず）が接続されており、書込みモード、読出しモード、消去モードが指定されるようになっている。

次に、第2図の回路における動作を説明する。

いま、例えば行デコーダ22の消去信号端EG1のみ選択され、昇圧回路からの高電圧（例えば20V）が供給されると、これに対応する2ワード線単位のブロックのメモリセルが消去されるが、その他の行デコーダ23の消去信号端EG2は接地電位に設定されるので、これらに対応する非選択のブロックのメモリセルは消去されない。

この場合、複数または全てのブロックを同時に選択する（あるいは複数または全てのブロックの消去ゲート線を一括接続しておいてもよい）ことにより、複数または全てのブロックを同時に消去することができる。さらに、ブロックの大きさも、一行または二行以上の任意に設定できる。

次に、例えばワード線WL2および消去線EL1およびデータ線DL2、DL3に接続されているメモリセル20-2-2に対する書き込み時には、行デコーダ22によりワード線WL2および消去線EL1を選択し、この選択されたワード線WL2には例えば12.5Vの昇圧電位を供給し、選択された消去線EL1は、例えば5V（例

えば電源電圧）に設定する。また、列デコーダ24により選択される選択メモリセル20-2-2のドレインに接続されているデータ線DL2は、例えば10Vに設定し、選択メモリセル20-2-2のソースに接続されているデータ線DL3は、接地電位に設定する。

このように選択メモリセルに書き込み電圧が印加されることにより、アバランシェ効果により発生したホットエレクトロンが選択メモリセルの浮遊ゲート電極8に注入し、選択メモリセルの制御ゲート電極5から見た閾値電圧が上昇する。

また、非選択のワード線および消去線は接地電位に設定し、非選択のデータ線は電位的に浮遊状態あるいは接地電位に設定する。この場合、非選択のデータ線を接地電位に設定しても、セルトランジスタは、第1図に示したようにソース領域付近に選択トランジスタ部を有しているので、選択メモリセル20-2-2と同一ワード線WL2に接続されている非選択のメモリセルに対する誤書き込みを防止できる。

第4図に示したセルアレイによれば、同一行の隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されているので、セルの行方向の微細化が可能であると共にソース・ドレイン領域に対する上層配線のコンタクト部が少なくなる。

また、上記ソース領域およびドレイン領域が同一列の各メモリセルに共通に列方向に形成されているので、ソース・ドレイン領域に対する上層配線のコンタクト部が一層少なくなる。

また、同一行の各メモリセルの消去ゲート電極が共通に行方向に形成されると共に、これに平行に同一行の各メモリセルの制御ゲート電極が共通に行方向に形成されているので、消去ゲート電極および制御ゲート電極を共通のデコーダにより選択制御し、任意の数のワード線単位での消去（ブロック消去）、あるいは全ビットの一括消去が可能になり、消去専用のデコーダが不要になる。この場合、例えば8ビット構成の1Mビットのメモリでは、行アドレスが10本、列アドレスが7本、

また、8ビット構成の4Mビットのメモリでは、行アドレスが12本、列アドレスが7本であるが、上記したように書き込み／読出し／消去に共通の行デコーダ22、23を用いてデコーダ消去ブロック指定アドレス信号と行アドレス信号とを共用することにより、分割ブロック数が多くとれ、大容量メモリにおける分割消去方式を実現する上で極めて有効である。

第3図(a)および(b)は、第2図中のセルアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、この2組のパターン領域を別々に強調して示している。ここで、WL1~WLnはワード線領域、EL1、EL2は上記ワード線領域と平行に形成されている消去線領域、13...は消去ゲート電極とその下方のソース・ドレイン領域との間の高耐圧用絶縁膜、8...は消去ゲート電極と一部が対向している浮遊ゲート領域、SD...は消去ゲート電極と直交方向に形成されているソース・ドレイン用の拡散層領域、DL1~DL3はデータ線用の

ア
と
例
と

数
の
互
に
植
こ
ま
セ
ノ
下
フ
線
形
ラ
ン
ニ
て、
に
電
して
レイ
コ
EL

点
が
こ
EL
され
とそ
圧用
して
極と
用の
アル
とアル
例えに
なま
局所配
ず、そ
分離部
〔発
上
なセル
り、し

アルミニウム配線領域、CT…は上記拡散層領域とアルミニウム配線領域とのコンタクト部であり、例えばデータ線DL2とDL3とにコンタクトをとっている。

このようにして、各データ線のコンタクトを、数ビット〜数十ビットおきに、また、データ線毎のコンタクトを図示の如くデータ線方向の位置が互い違いとなるよう配置することで、パターン面積の縮小化が可能になる。

第4図(a)および(b)は、第1図に示したセルトランジスタにおける消去ゲート電極とその下方のソース・ドレイン領域との間の高耐圧用絶縁膜のプロセスを省略した場合に得られるセルトランジスタのアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、この2組のパターン領域を別々に強調して示している。このアレイの動作は第3図のアレイの動作と同様である。

ここで、WL1〜WL4はワード線領域、EL1〜EL3は上記ワード線領域と平行に形成

点がある。

ここで、WL1〜WL4はワード線領域、EL1〜EL4は上記ワード線領域と平行に形成されている消去線領域、13…は消去ゲート電極とその下方のソース・ドレイン領域との間の高耐圧用絶縁膜、8…は消去ゲート電極と一部が対向している浮遊ゲート領域、SD…は消去ゲート電極と直交方向に形成されているソース・ドレイン用の拡散層領域、DL1〜DL3はデータ線用のアルミニウム配線領域、CT…は上記拡散層領域とアルミニウム配線領域とのコンタクト部であり、例えばデータ線DL2とコンタクトをとっている。

なお、本発明のメモリは、前記実施例のような局所酸化法により形成された素子分離領域に限らず、その他の素子分離技術により形成された素子分離領域を有する場合にも適用できる。

【発明の効果】

上述したように本発明によれば、非常に微細なセルの加工が可能となって高集積化が可能となり、しかも、電気的消去が可能なEEPROMセ

されている消去線領域、8…は消去ゲート電極と一部が対向している浮遊ゲート領域、SD…は消去ゲート電極と直交方向に形成されているソース・ドレイン用の拡散層領域、DL1〜DL3はデータ線用のアルミニウム配線領域、CT…は上記拡散層領域とアルミニウム配線領域とのコンタクト部であり、例えば各データ線DL1〜DL4に対して図示の如くデータ線方向の位置が揃うようにコンタクトをとっている。

第5図(a)および(b)は、第1図に示したセルトランジスタにおける消去ゲート電極を浮遊ゲート電極の幅方向の両側でそれぞれ対向するように変形した場合に得られるセルトランジスタのアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、この2組のパターン領域を別々に強調して示している。このアレイの動作は前記第3図のアレイの動作と同様であるが、さらに、消去ゲート電極と浮遊ゲート電極との結合容量が常に一定に保たれるようになり、消去のばらつきがなくなるという利

点を有する不揮発性半導体メモリを実現することができる。即ち、このメモリのセルトランジスタは、チャネル領域のチャネル長さ方向に隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されているので、ソース領域およびドレイン領域と上層配線とのコンタクト部の数を減らすことができ、高集積化が可能である。

また、本発明メモリにおけるセルアレイによれば、同一行の隣り合うセルトランジスタのソース領域およびドレイン領域が共通に形成されているので、セルの行方向の微細化が可能であると共にソース・ドレイン領域に対する上層配線のコンタクト部が少なくなる。また、上記ソース領域およびドレイン領域が同一列の各メモリセルに共通に列方向に形成されているので、ソース・ドレイン領域に対する上層配線のコンタクト部が一層少なくなる。

また、同一行の各メモリセルの消去ゲート電極が共通に行方向に形成されると共に、これに平行に同一行の各メモリセルの制御ゲート電極が共通

に行方向に形成されているので、消去ゲート電極および制御ゲート電極を共通のデコーダにより選択制御し、任意の数のワード線単位での消去（ブロック消去）が可能になり、消去専用のデコーダが不要になる。また、消去線を選択方法により、全ビットを一括消去したり、ワード線単位で消去（ブロック消去）することができる。

4. 図面の簡単な説明

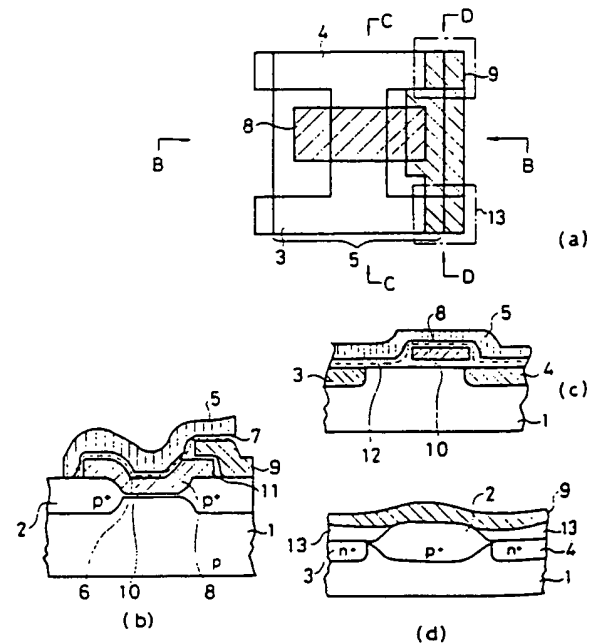
第1図(a)は本発明の不揮発性半導体メモリの一実施例におけるセルトランジスタの平面パターンを示す図、第1図(b)および(c)および第1図(d)はそれぞれ同図(a)中のB-B線およびC-C線およびD-D線に沿う断面図、第2図は第1図に示したセルアレイおよびその周辺回路の一部を示す回路図、第3図(a)および(b)は第2図中のセルアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、それぞれのパターン領域を別々に強調して示す図、第4図(a)および(b)は第1図に示したセルトランジスタの変形例に係

るセルトランジスタのアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、それぞれのパターン領域を別々に強調して示す図、第5図(a)および(b)は第1図に示したセルトランジスタのさらに他の変形例に係るセルトランジスタのアレイの平面パターンの一例について、表示の明瞭化のために、2組のパターン領域に着目し、それぞれのパターン領域を別々に強調して示す図、第6図(a)は現在考えられている不揮発性半導体メモリにおけるセルトランジスタの平面パターンを示す図、第6図(b)および(c)はそれぞれ同図(a)中のB-B線およびC-C線に沿う断面図、第7図は第6図のセルトランジスタの等価回路、第8図は第6図のセルトランジスタの各動作モードにおける各部の状態を示す図、第9図は第6図に示したセルアレイおよびその周辺回路の一部を示す回路図である。

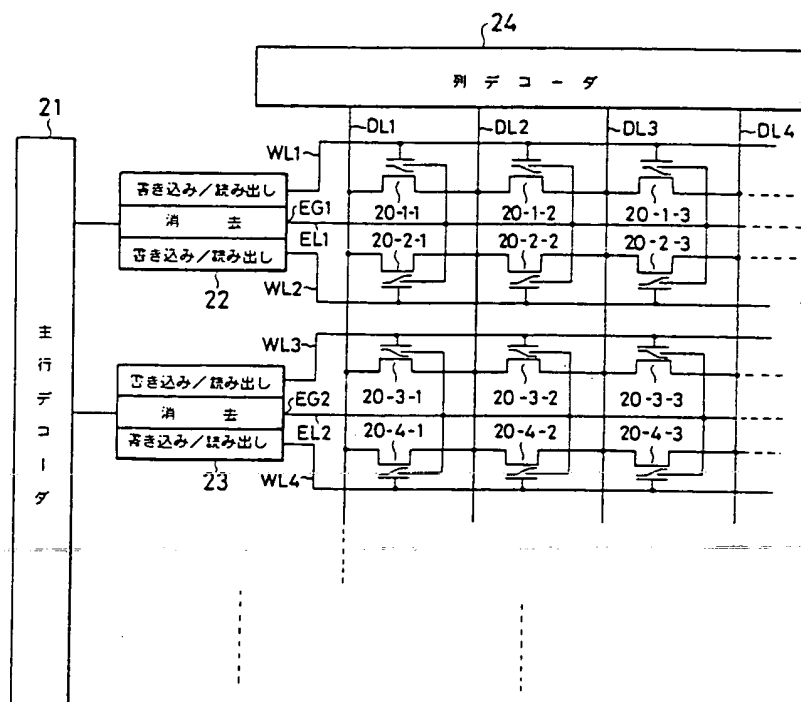
1 ……半導体基板、2 ……素子分離領域、3 ……ソース領域、4 ……ドレイン領域、5 ……制御

ゲート電極、6、7、10、12、13 ……ゲート絶縁膜、8 ……浮遊ゲート電極、9 ……消去ゲート電極、11 ……トンネル絶縁膜、20-1-1 ~ 20-4-3 ……メモリセル、21 ……主行デコーダ、22、23 ……行デコーダ、24 ……列デコーダ、WL1 ~ WL4、WL n ……ワード線、EL1 ~ EL4 ……消去線、DL1 ~ DL4 ……データ線、SD ……ソース・ドレイン領域、CT ……コンタクト部。

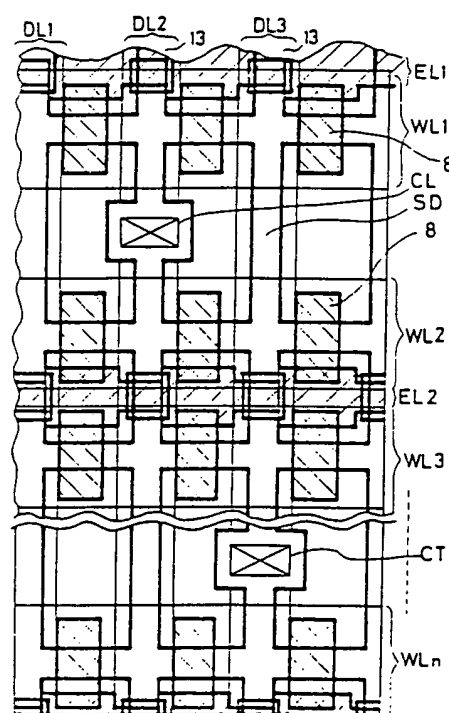
出願人代理人 弁理士 鈴江武彦



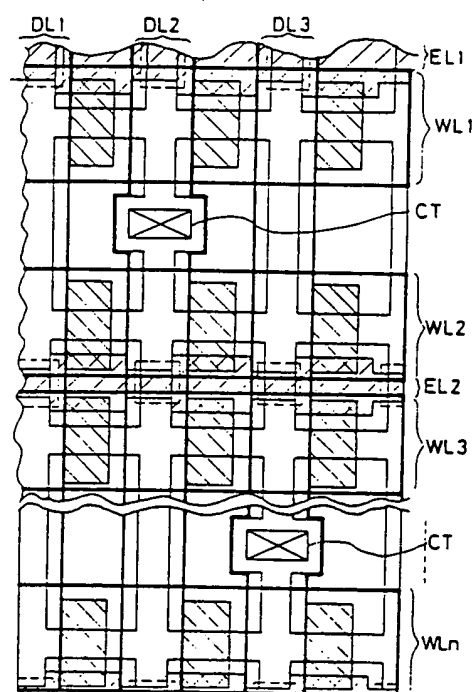
第1図



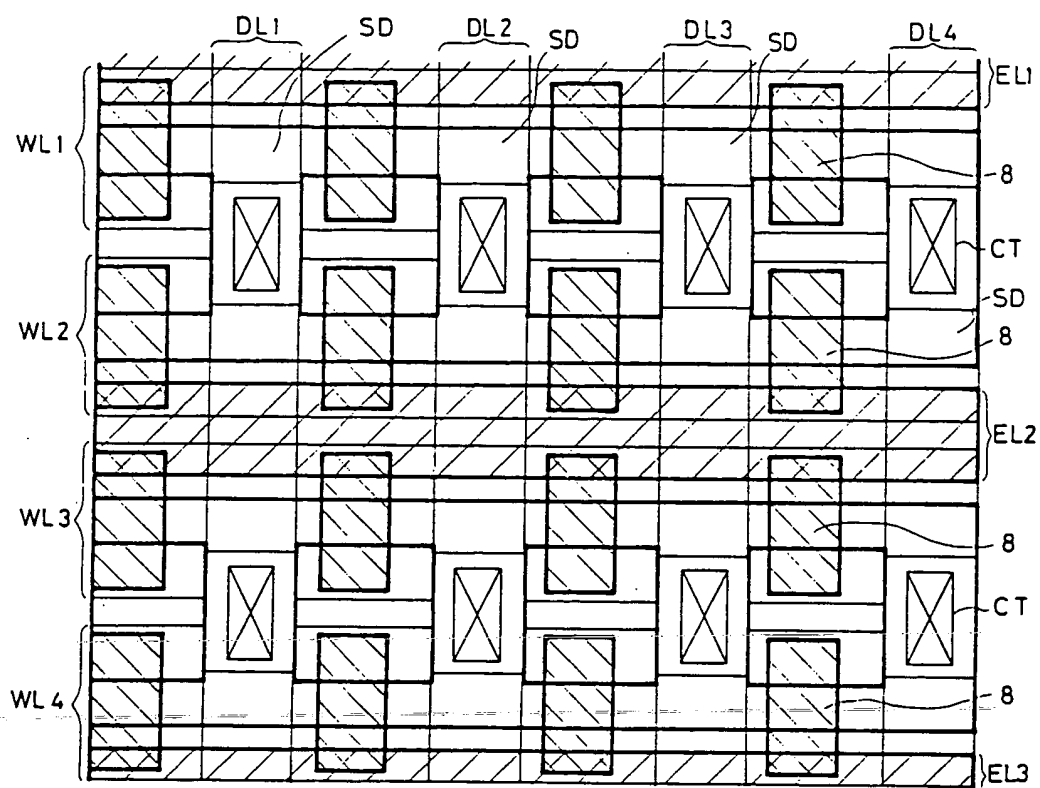
第 2 図



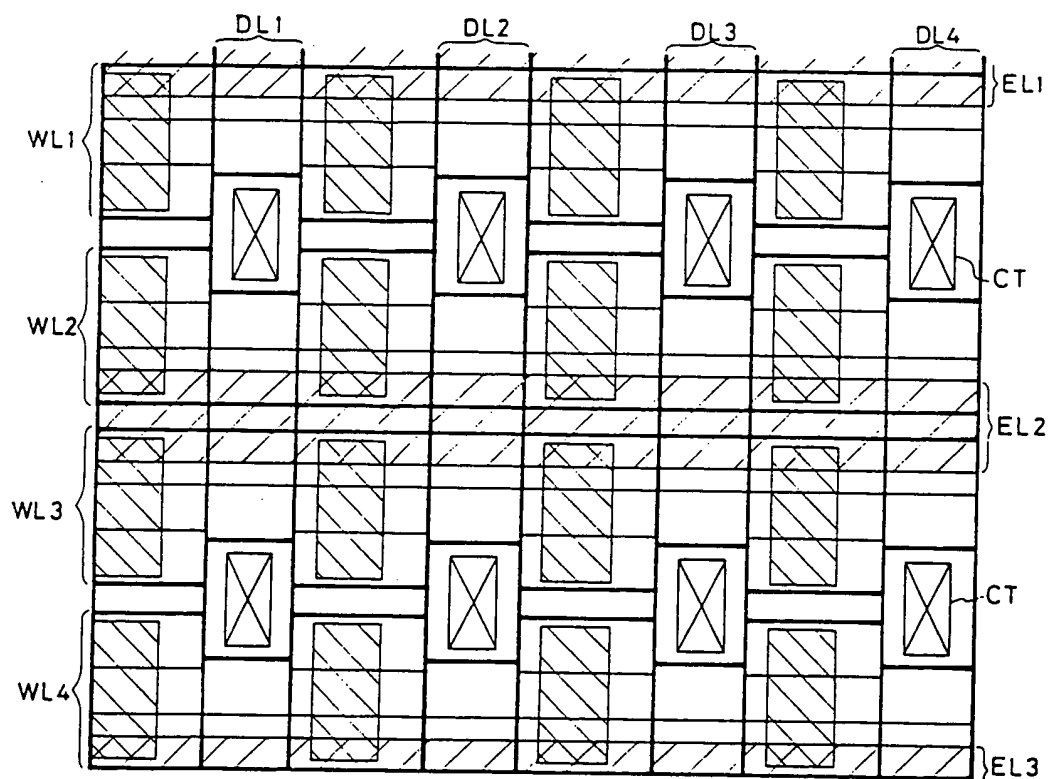
第 3 図 (a)



第 3 図 (b)

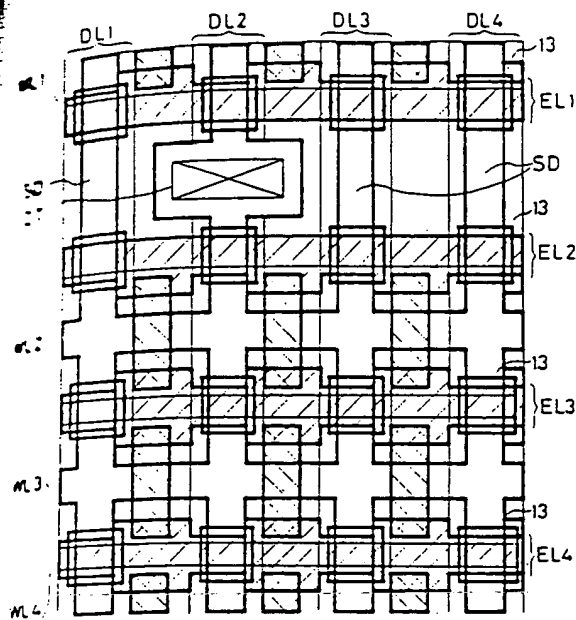


第 4 図 (a)

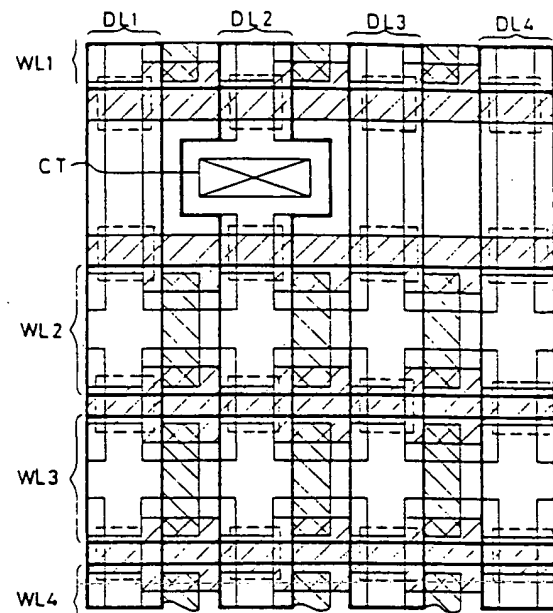


第 4 図 (b)

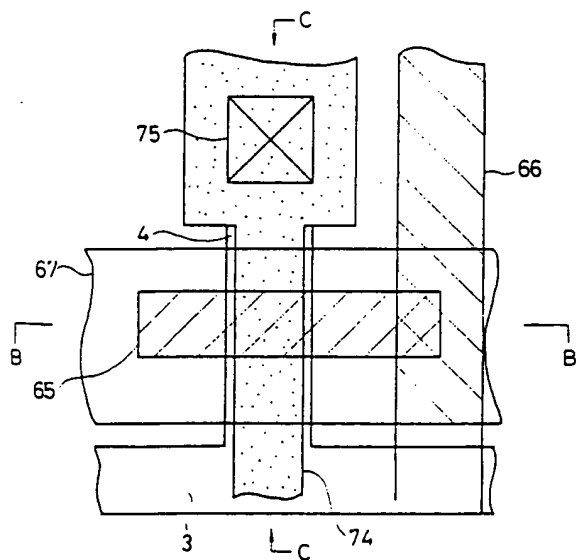
0979 (1)



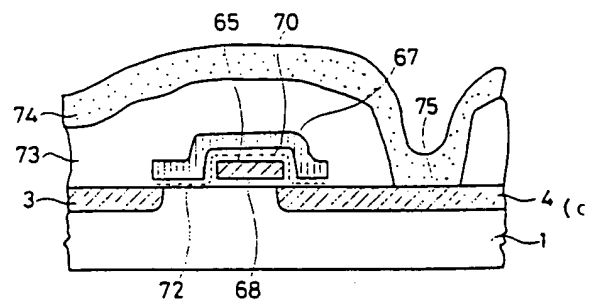
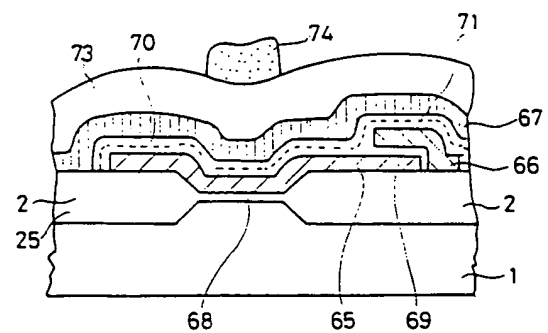
第 5 図(a)



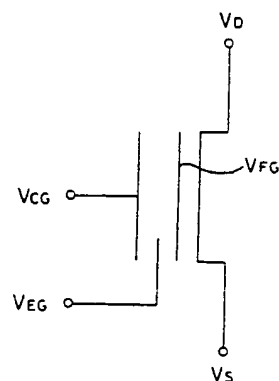
第 5 図(b)



第 6 図(a)



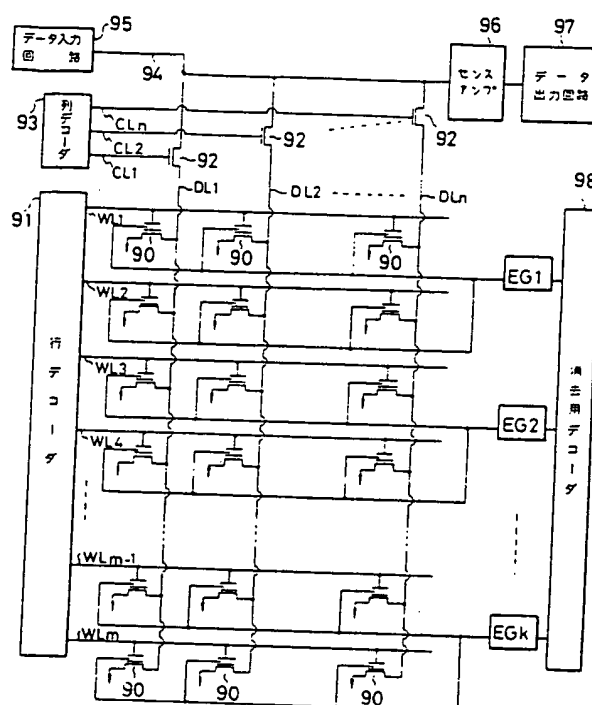
第 6 図



第 7 図

動作モード	VCG	Vb	Vs	VEG	VFG	浮遊ゲートの状態
消去 ("1")	0V	0V	0V	20V	H (+3V)	浮遊ゲートから消去ゲートへ電子放出
書き込み ("0")	12.5V	10V	0V	5V	L (-3V)	ホット・エレクトロン効果により浮遊ゲートへ電子注入
書き込み ("1")	12.5V	0V	0V	5V	H (+3V)	電子の移動はない。

第 8 図



第 9 図

第1頁の続き

⑤Int.Cl.³

H 01 L 27/115
29/792

識別記号

庁内整理番号

⑤発明者 田 浦 忠 行 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩
川工場内

⑤発明者 庄 司 敦 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエ
ンジニアリング株式会社内